

VARIABLE DELAY CIRCUIT

Patent Number: JP2000134072
Publication date: 2000-05-12
Inventor(s): HARA MASAAKI
Applicant(s): SONY CORP
Requested Patent: JP2000134072 (JP00134072)
Application Number: JP19980299635 19981021
Priority Number(s):
IPC Classification: H03K5/135
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To realize inexpensively a variable delay circuit from which a desired delay is obtained without being affected by a power supply voltage or the like.

SOLUTION: The variable delay circuit is provided with a 3-bit counter 10 that generates data pulses TP, TP2, TP4 with a prescribed period based on a received clock, an up-down counter 20 that counts based on an up-down control signal UD, a delay line 30 whose delay number is set with a count output of the up-down counter 20, a delay amount detection section 40 that detects the delay by the delay line 30 and outputs the result of detect as the up-down control signal UD, and a delay lock detection section 50 that compares a current count output of the up-down counter 20 with a preceding count output to detect whether or not the delay is locked and provides an output of a required count in the two counts as a reference delay stage number. However, a period of the data pulses is selected as TP

Data supplied from the **esp@cenet** database - I2

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-134072

(P2000-134072A)

(43)公開日 平成12年5月12日(2000.5.12)

(51)Int.Cl.⁷

H 0 3 K 5/135

識別記号

F I

H 0 3 K 5/135

テマコード*(参考)

5 J 0 0 1

審査請求 未請求 請求項の数4 O L (全 10 頁)

(21)出願番号 特願平10-299635

(22)出願日 平成10年10月21日(1998.10.21)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 原 雅明

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74)代理人 100086841

弁理士 脇 篤夫 (外1名)

Fターム(参考) 5J001 AA05 BB00 BB05 BB08 BB12

BB13 BB14 BB21 BB22 BB23

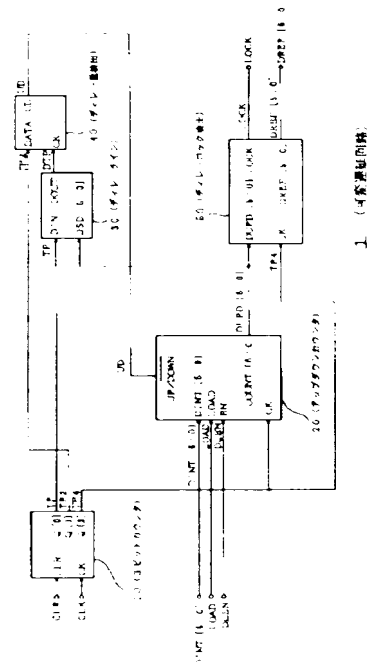
BB24 DD02 DD03 DD09

(54)【発明の名称】 可変遅延回路

(57)【要約】

【課題】 電源電圧などの影響を受ずに所望する遅延量を得られる可変遅延回路を廉価に構成する

【解決手段】 入力したクロックに基づいて所定の周波数となるギタハルスTP、TP2、TP4を生成する3ビットカウンタ10と、アップダウン制御信号UDに基づいてカウントを行うアップダウンカウンタ20と、アップダウンカウンタ20のカウント出力によってゲイン増幅率が設定されるゲイン増幅器30と、ゲイン増幅器30による遅延量を検出し、検出結果をアップダウン制御信号UDとするゲイン増幅率検出部40と、アップダウンカウンタ20の現在のカウント出力と過去のカウント出力を比較して遅延量がロックされているか否かを検出し、その結果2個のカウント値のうち必要の値を基準ゲイン増幅率として出力するゲイン増幅率検出部50を備える。但し、ギタハルスが周期はTP、TP2、TP4である。



【特許請求の範囲】

【請求項1】 入力したクロックに基づいて所定の周期とされる第一、第二、第三のハルスデータを生成する分周手段と、

前記第三のハルスデータが供給されるとともに、アップダウン制御信号に基づいてカウントアップまたはカウントダウンを行うアップダウンカウンタと、

前記第一のハルスデータが供給されるとともに、前記アップダウンカウンタのカウント出力に基づいてディレー段数が設定されるディレー手段と、

前記第二のハルスデータが供給されるとともに、前記ディレー手段によって遅延された遅延量を検出し、検出結果を前記アップダウン制御信号として前記アップダウンカウンタに供給する遅延量検出手段と、

前記第三のハルスデータが供給されるとともに、前記アップダウンカウンタの現在のカウンタ値と過去のカウンタ値を比較して遅延量がロックされているか否かを検出し、なおかつ二個のカウント値のうちいずれか一方の値を選択して基準ディレー段数として出力するディレーロック検出手段と、

を備えていることを特徴とする可変遅延回路。但し、前記分周手段には、生成される各ハルスデータの周期としては、第一のハルスデータと第二のハルスデータと第三のハルスデータとなるようにする。

【請求項2】 前記遅延量検出手段は、

前記第一のハルスデータを前記ディレー手段で遅延された遅延ハルスデータの立ち上りのタイミングでラッチして出力する第一のラッチ手段と、

前記第一のハルスデータと前記第一のラッチ手段からのハルスデータの相対的論理和とされるデータの出力を行うようにされているゲート手段と、

前記遅延ハルスデータを反転させる反転手段と、
前記ゲート手段に出力されるデータを前記反転手段で反転した遅延ハルスデータの立ち上りのタイミングでラッチして出力する第二のラッチ手段と、

を備え、前記第二のラッチ手段からの出力データが、前記遅延ハルスデータの立ち上りよりも早い場合のみに、所定のアップダウン制御信号を出力するようにしたことを特徴とし、請求項1に記載の可変遅延回路。

【請求項3】 前記遅延量検出手段は2段のラッチ手段によって構成され、前記第三のハルスデータに基づいて前記アップダウンカウンタのディレー段数がデータラッチされるようにされているようにしたと、

現在のディレー段数と前記データラッチデータによるディレー段数前のディレー段数を比較を行う第一の比較手段と、
現在のディレー段数と前記データラッチデータによるディレー段数前のディレー段数を比較を行う第二の比較手段と、
前記第一の比較手段の比較結果として、現在のディレー段数が前記2クロック前のディレー段数と一致した場合

のデータを前記第三のクロックでラッチするラッチ手段と、

前記第一の比較手段の比較結果として、現在のディレー段数と前記データラッチデータによるディレー段数と一致しないかつ、前記第三の比較手段の比較結果として、現在のディレー段数が前記1クロック前のディレー段数よりも大きい場合に、前記1クロック前のディレー段数を出力し、これ以外の場合に、現在のディレー段数を出力することができるようになっている選択手段と、

10 前記選択手段で選択されたディレー段数を前記第三のハルスデータでラッチするようにされているラッチ手段と、

を備えていることを特徴とする請求項1に記載の可変遅延回路。

【請求項4】 入力したクロックに基づいて所定の周期とされる第一、第二、第三のハルスデータを生成する分周手段と、

前記第三のハルスデータが供給されるとともに、アップダウン制御信号に基づいてカウントアップまたはカウントダウンを行うアップダウンカウンタと、

20 前記第一のハルスデータが供給されるとともに、前記アップダウンカウンタのカウント出力に基づいてディレー段数が設定されるディレー手段と、

前記第二のハルスデータが供給されるとともに、前記ディレー手段によって遅延された遅延量を検出し、検出結果を前記アップダウン制御信号として前記アップダウンカウンタに供給する遅延量検出手段と、

30 前記第三のハルスデータが供給されるとともに、前記アップダウンカウンタの現在のカウンタ出力と過去のカウンタ出力を比較して遅延量がロックされているか否かを検出し、なおかつ二個のカウント値のうちで小さいものの値を基準ディレー段数として出力するディレーロック検出手段と、

を備える基準ディレー段数出力手段と、

前記クロックが供給されるとともに、前記基準ディレー段数出力手段からの基準ディレー段数と所要のディレー段数を乗算するディレー段数設定手段と、

40 前記ディレー段数設定手段によって設定されたディレー段数によって入力したデータをラッチさせるディレー手段と、

を備えて構成されていることを特徴とする可変遅延回路。但し、前記分周手段には、生成される各ハルスデータ

の周期としては、第一のハルスデータと第二のハルスデータと第三のハルスデータとなるようにする。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】本発明は、例えば温度、圧力測定などの装置を設けた場合に望まれる遅延量を得られる可変遅延回路に関するものである。

【0002】

【従来の技術】入力信号を遅延させる目的で用いるゲイレーラインを示す。例えばIC(1・・・インダクタ(1・・・インダクタ)または分岐抵抗回路などによって形成されるゲイレーラインが用いられている。遅延量が一定にされているゲイレーラインは比較的廉価で構成することができるが、遅延量を可変にしたいというプログammableゲイレーラインは非常に高価なものになる。このプログammableゲイレーラインをデジタルデータの遅延に用いようとした場合、大規模な集積回路(Integrated Circuit・・・以下、単にICという)を構成する場合に要する価額になることもある。

【0003】デジタルデータを遅延させる構成として、例えば図7に示されているようにインパルスを2段直列に接続することによってゲイレーラインを形成し、これを所望するゲイレー量になるような段数だけ直列に接続することが知られている。図7に示す例では、インパルスの直列接続による例えば63個のゲイレー素子D1乃至ゲイレー素子D63が直列に接続され、各ゲイレー素子の出力が64→1のマルチプレクサ70に供給される。マルチプレクサ70では例えば6ビットのデータ(DSD[5:0])に応じて、いずれかのゲイレー素子の出力がDOUT3から出力される。このようにゲイレーラインを構成する場合、廉価とされる例えばCMOS(Complementary Metal Oxide Semiconductor)プロセスを用いてIC内部で容易に実現することが可能である。

【0004】

【発明が解決しようとする課題】ところで、ICや分布定数回路によって構成されたゲイレーラインは特性のばらつきや温度変動が非常に小さいのに対して、IC内部に構成されるゲートの遅延量も温度の増減(非回路構成などによる信号の経路など)のばらつき、および電源電圧の変動によって大きく変化してしまう。例えば、CMOSのIC内部にゲートでは、上記した条件が全てゲートの速度を遅くする方向に振れた場合や、遅くする方向に振れた場合とを比較すると、例えば3倍程度のゲイレー量の増減が生じている。このため、例えば温度補償する手段にはばらつきの増減が記憶を低減するような工夫をゲイレー素子、マルチプレクサをICに内蔵したゲートは温度や電源電圧におけるゲイレー量をとりわけ、ゲートなどの観測に必要となるゲイレー素子の段数を決定するなどの方法が用いられている。しかし、温度補償や電源電圧の増減を低減する場合、通常はゲートは高価な特殊なゲートまたは回路が必要となり価額化が困難になる。また、ゲイレー量の観測を行う方法が、例えばゲイレー量を調整し、極小自動増減型になるなど、極めて高価な場合使用環境に応じて人為的な再調整が必要になり、この場合も価格的なメリットが減少する恐れが生じてしまう。

【0005】そこで、例えば特開第7-244963号

公報に、ゲイレーラインにおいて入力したクロックを2分周した1T分の段数(ゲートのバースクローキングを50%としたもの)をゲート遅延量としてゲート遅延量をゲート遅延量として入力したゲイレー段数の値を減少か増やしていく過程で、テスト信号とゲイレーしたテスト信号の論理和が常にハイレベルになるようなゲートの値を調べることで、1T分のゲイレーに必要な段数を調べる方法が開示されている。このようにして、1T分のゲイレーに必要なゲイレー段数がわかれば、所望するゲイレー量を得るために必要なゲイレー段数を算出することが可能になり、IC内部で容易に実現することができるというメリットを生かして廉価なゲイレーラインを構成することができるようになる。

【0006】しかしこの場合、1T分のゲイレーに必要な段数を設定するための方法が複雑なので、各種測定用のプログラムを外部に備えることが必要になり、すなわちIC内部に内蔵するための回路化が困難であるという問題があった。

【0007】

【課題を解決するための手段】本発明はこのような問題点を解決するために、入力したクロックに基づいて所定の周期とされる第一、第二、第三のバースクローキングを生成する分周手段と、前記第三のバースクローキングが供給されるとともに、アップダウン制御信号に基づいてカウントアップまたはカウントダウンを行うアップダウンカウンタと、前記第一のバースクローキングが供給されることと、前記アップダウンカウンタのカウント出力に基づいてゲイレー段数が設定されるゲイレー手段と、前記第二のバースクローキングが供給されることと、前記ゲイレー手段によって遅延された遅延量を検出し、検出結果を前記アップダウン制御信号として前記アップダウンカウンタに供給する遅延量検出手段と、前記第三のバースクローキングが供給されることと、前記アップダウンカウンタの現在のカウンタ値と過去のカウンタ値を比較して遅延量が一定とされているか否かを検出し、なければ他のカウンタ値のうちのいずれか一方の値を選択して基盤ゲイレー段数として出力するゲイレー段数検出手段を備えていることを特徴とする可変遅延回路。但し、前記分周手段には、1と表される分周率とバースクローキングとでは、第一のバースクローキング、第二のバースクローキング、第三のバースクローキングとなるようにする。

【0008】また、入力したクロックに基づいて所定の周期とされる第一、第二、第三のバースクローキングを生成する分周手段と、前記第三のバースクローキングが供給されることと、アップダウン制御信号に基づいてカウントアップまたはカウントダウンを行うアップダウンカウンタと、前記第一のバースクローキングが供給されることと、前記アップダウンカウンタのカウント出力に基づいてゲイレー段数が設定されるゲイレー手段と、前記第二のバースクローキングが供給されることと、前記ゲイレー手段によ

って遅延された遅延量を検出し、検出結果を前記アップダウ制御信号として前記アップダウンカウンタに供給する遅延量検出手段と、前記第1ハルスデータが供給されるタイミングで、前記アップダウンカウンタの現在のカウンタ出力を過りカウンタ出力と比較して遅延量がロックされているか否かを検出し、なおかつ2個のカウンタ値のうちで小さいほうの値を基準デイレ一段数として出力するデイレロック検出手段を備えた基準デイレ一段数出力手段と、前記クロックが供給されるとともに、前記基準デイレ一段数出力手段からの基準デイレ一段数と所要のデイレ比率を重算するデイレ一段数設定手段と、前記デイレ一段数設定手段によって設定されたデイレ一段数により、入力したデータをデイレさせるデイレ手段を備えて構成されていることを特徴とする可変遅延回路。但し、前記分周手段において生成される各ハルスデータの周期としては、第1のハルスデータ<第2のハルスデータ<第3のハルスデータとなるようにする。

【0009】本発明によれば、例えばプロセス、電源電圧、温度などによってデイレ量が変化するようにデイレ素子の組み合わせによって可変遅延回路を構成した場合でも、常に所望するデイレ量を得ることができるようになる。

【0010】

【発明の実施の形態】以下、本発明の実施の形態を説明する。図1は本発明の実施の形態の可変遅延回路の構成例を説明する図である。この中に示されているように例えば3ビットカウンタ10、アップダウンカウンタ20、デイレライン30、デイレ量検出部40、デイレロック検出部50などによって構成される。3ビットカウンタ10は入力したクロックCLKに基づいて、このクロックCLKを2分周した第1のハルスデータとされる1FのゲータハルスT P1、同じく4分周した第2のハルスデータとされる2FのゲータハルスT P2、同じく8分周した第3のハルスデータとされる4FのゲータハルスT P4を生成する。アップダウンカウンタ20はデイレ量検出部40からのアップダウン制御信号UDに基づいて、デイレ一段数のカウンタアップ・カウンタダウンおよびカウンタ値DUPDを出力するようにされている。図2はアップダウン制御信号UDがハイレベルである場合にカウンタアップ、ローレベルである場合にカウンタダウンを行う。以下、カウンタ値DUPDをデイレ一段数DUPDともいう。デイレライン30は図3に示すように、デイレライン30に対して、アップダウンカウンタ20のカウンタ値をデイレ一段数設定ゲータとしてハルスT Pを遅延させて出力する。なお、デイレ素子例は図7に示すように例えば6.4個に決まるのではなく、任意の値に設定することができる。

【0011】デイレ量検出部40は、デイレライン30に基づいてゲータハルスT Pが遅延されたゲータハ

スDTPに基づいて、3ビットカウンタ10からのゲータハルスT P2をロックすることを要するアップダウン制御信号UDを生成する。このデイレ量検出部40の詳細については後で図2に示すように詳しく説明する。デイレロック検出部50は3ビットカウンタ10からのゲータハルスT P4のタイミングで、アップダウンカウンタ20のカウンタ値DUPD（デイレ一段数）に基づいて、現在のデイレ一段数と1クロック前、または2クロック前のデイレ一段数の比較を行って、デイレ一段数がロックされているか否かの判別を行うようにされている。このデイレロック検出部50からは、デイレ一段数がロックされていることを示すデイレロック信号LOCKまたは基準デイレ一段数DREFが出力される。なお、デイレロック検出部50の詳細については後で図3に示すように詳しく説明する。

【0012】図2に従いデイレ量検出部40の構成例を説明する。デイレ量検出部40は、入力段とされるD-FF1、D-FF2（以下、D-FFという）、4-1の排他的論理和ゲート（以下、EORゲートという）、4-2、インバータ4-3、さらに出力段とされるD-FF4-4などによって構成される。D-FF4-1は図1に示したデイレライン30からのゲータハルスDTPに基づいてゲータハルスT P2をロックして、ゲータハルスQAとしてEORゲート4-2に供給する。EORゲート4-2はゲータハルスQAおよびゲータハルスT P2の2個のゲータの排他的論理和としてゲータハルスUPを出力する。D-FF4-4はEORゲート4-2からのゲータハルスUPを、インバータ4-3で反転したゲータハルスDTPでロックして、アップダウン制御信号UD、すなわちデイレ一段数の増または減を選択する制御信号として図1に示したアップダウンカウンタ20に供給する。

【0013】このデイレ量検出部40は、3ビットカウンタ10からのゲータハルスT P2をD-FF4-1の「DATA」に、またゲータハルスDTPを「CE」に入力すると、ゲータハルスT P2の立ち上がりからのゲータハルスDTPの立ち上がりから短い場合にはアップダウン制御信号UDがハイレベル、または長い場合にはゲータハルスDTPがローレベルとなり、出力される。

【0014】次に、図3に従いデイレロック検出部50の構成例を説明する。図3に示されているように、デイレロック検出部50は、2本のD-FF5-2a、5-2bからなるレジスタ、デミタ5-2、第1の比較部5-3、第2の比較部5-4、D-FF5-5、ANDゲート5-5、カウンタ5-7、D-FF5-8などによって構成されている。

【0015】アップダウンカウンタ20のカウンタ値DUPD（デイレ一段数）はレジスタ5-2aに供給される。なお、現在のデイレ一段数DUPDに対してD-FF5-2aの出力として1クロック前のデイレ一段数DREF、D-FF5-2bの出力として2クロック前のデイレ一段数DREF2を得るようになっており、図4に示す

いる。なお、シフトレジスタ52に供給されるクロックはデータハルスTTP4とされる。比較部53ではダイレー段数DUPDとダイレー段数DR1とを比較し、例えば、DUPD=DR1である場合にデータ出力を行う。また、比較部54ではダイレー段数DUPDとダイレー段数DR2の比較を行い、例えばDUPD=DR2である場合にデータ出力を行う。すなわち、ANDゲート55からはDUPD=DR1とDUPD=DR2の場合の論理積が出力される。D-FF56はDUPD=DR2の場合のダイレー段数をデータハルスTTP4でラッチしてダイレーロック信号LOCKとしてハイレベルのデータを出力する。

【0016】セクタ57は1クロック前のダイレー段数DR1と現在のダイレー段数DUPDを入力して、ANDゲート55からの論理積に基づいて、入力したダイレー段数DUPDとダイレー段数DR1を選択的に出力する。例えば、比較部53の比較結果として、ダイレー段数DUPDとダイレー段数DR2が一致した場合、比較部54の比較結果として、ダイレー段数DUPDがダイレー段数DR1よりも大きい場合にダイレー段数DR1を出力し、これは他の場合に、ダイレー段数DUPDを出力することができるようになっている。

【0017】セクタ57で選択されたダイレー段数(DUPDまたはDR1)はD-FF58に供給され、データハルスTTP4によってラッチされて基準ダイレー段数DREFとして常に出力するようにされている。このように、ダイレーロック検出部50は2クロック前のダイレー段数DR2と現在のダイレー段数DUPDを比較して一致していればダイレーロック信号LOCKを出力し、1クロック前のダイレー段数DR1と現在のダイレー段数DUPDを比較して小さいほうを基準ダイレー段数DREFとして出力するようにされている。

【0018】以下、図4、図5にしたがって図1に示した可変遅延回路1における各信号のタイミングが説明される。図4、図5は1連のタイミングを示しているが、便宜上図4については0nsから1400nsまでのタイミングを示し、図5については1400nsから1600nsまでのタイミングを示している。また、図4、図5はクロックの遅延時間や電源電圧が変動したことを想定して例えばクロック周波数を変化させて、クロック周波数の変化に追随して1T分のダイレーに必要なダイレー段数も出力するようにした一例を示している。これらの図に示されている「1」はクロックの繰返1周期に相当しており、「10」に対して「19」は例えば10%の遅延時間短縮、すなわちクロック周波数が10%増大を示している。さらに、これらの図で(a)は5ビットのデータ10、(b)はデータ20、(c)はデータ30、(d)はデータ40、(e)はデータ50における各信号のタイミングを示している。

【0019】図4に示されているように、0nsから120nsまでの期間において、データハルス信号CLRはローレベルになり、その後、データハルス信号a、b、c、d、e、f、g、h、i、j、k、l、m、n、o、p、q、r、s、t、u、v、w、x、y、z、aa、ab、ac、ad、ae、af、ag、ah、ai、aj、ak、al、am、an、ao、ap、aq、ar、as、at、au、av、aw、ax、ay、az、ba、bb、bc、bd、be、bf、bg、bh、bi、bj、bk、bl、bm、bn、bo、bp、bq、br、bs、bt、bu、bv、bw、bx、by、bz、ca、cb、cc、cd、ce、cf、cg、ch、ci、cj、ck、cl、cm、cn、co、cp、cq、cr、cs、ct、cu、cv、cw、cx、cy、cz、da、db、dc、dd、de、df、dg、dh、di、dj、dk、dl、dm、dn、do、dp、dq、dr、ds、dt、du、dv、dw、dx、dy、dz、ea、eb、ec、ed、ee、ef、eg、eh、ei、ej、ek、el、em、en、eo、ep、eq、er、es、et、eu、ev、ew、ex、ey、ez、fa、fb、fc、fd、fe、ff、fg、fh、fi、fj、fk、fl、fm、fn、fo、fp、fq、fr、fs、ft、fu、fv、fw、fx、fy、fz、ga、gb、gc、gd、ge、gf、gg、gh、gi、gj、gk、gl、gm、gn、go、gp、gq、gr、gs、gt、gu、gv、gw、gx、gy、gz、ha、hb、hc、hd、he、hf、hg、hh、hi、hj、hk、hl、hm、hn、ho、hp、hq、hr、hs、ht、hu、hv、hw、hx、hy、hz、ia、ib、ic、id、ie、if、ig、ih、ii、ij、ik、il、im、in、io、ip、iq、ir、is、it、iu、iv、iw、ix、iy、iz、ja、jb、jc、jd、je、jf、jg、jh、ji、jj、jk、jl、jm、jn、jo、jp、jq、jr、js、jt、ju、jv、jw、jx、jy、jz、ka、kb、kc、kd、ke、kf、kg、kh、ki、kj、kk、kl、km、kn、ko、kp、kq、kr、ks、kt、ku、kv、kw、kx、ky、kz、la、lb、lc、ld、le、lf、lg、lh、li、lj、lk、ll、lm、ln、lo、lp、lq、lr、ls、lt、lu、lv、lw、lx、ly、lz、ma、mb、mc、md、me、mf、mg、mh、mi、mj、mk、ml、mm、mn、mo、mp、mq、mr、ms、mt、mu、mv、mw、mx、my、mz、na、nb、nc、nd、ne、nf、ng、nh、ni、nj、nk、nl、nm、no、np、nq、nr、ns、nt、nu、nv、nw、nx、ny、nz、oa、ob、oc、od、oe、of、og、oh、oi、oj、ok、ol、om、on、oo、op、oq、or、os、ot、ou、ov、ow、ox、oy、oz、pa、pb、pc、pd、pe、pf、pg、ph、pi、pj、pk、pl、pm、pn、po、pp、pq、pr、ps、pt、pu、pv、pw、px、py、pz、qa、qb、qc、qd、qe、qf、qg、qh、qi、qj、qk、ql、qm、qn、qo、qp、qq、qr、qs、qt、qu、qv、qw、qx、qy、qz、ra、rb、rc、rd、re、rf、rg、rh、ri、rj、rk、rl、rm、rn、ro、rp、rq、rr、rs、rt、ru、rv、rw、rx、ry、rz、sa、sb、sc、sd、se、sf、sg、sh、si、sj、sk、sl、sm、sn、so、sp、sq、sr、ss、st、su、sv、sw、sx、sy、sz、ta、tb、tc、td、te、tf、tg、th、ti、tj、tk、tl、tm、tn、to、tp、tq、tr、ts、tt、tu、tv、tw、tx、ty、tz、ua、ub、uc、ud、ue、uf、ug、uh、ui、uj、uk、ul、um、un、uo、up、uq、ur、us、ut、uu、uv、uw、ux、uy、uz、va、vb、vc、vd、ve、vf、vg、vh、vi、vj、vk、vl、vm、vn、vo、vp、vq、vr、vs、vt、vu、vv、vw、vx、vy、vz、wa、wb、wc、wd、we、wf、wg、wh、wi、wj、wk、wl、wm、wn、wo、wp、wq、wr、ws、wt、wu、wv、ww、wx、wy、wz、xa、xb、xc、xd、xe、xf、xg、xh、xi、xj、xk、xl、xm、xn、xo、xp、xq、xr、xs、xt、xu、xv、xw、xx、xy、xz、ya、yb、yc、yd、ye、yf、yg、yh、yi、yj、yk、yl、ym、yn、yo、yp、yq、yr、ys、yt、yu、yv、yw、yx、yy、yz、za、zb、zc、zd、ze、zf、zg、zh、zi、zj、zk、zl、zm、zn、zo、zp、zq、zr、zs、zt、zu、zv、zw、zx、zy、zz、

【0020】そして120nsから500nsまでの期間において、「0x20」のダイレー段数によるダイレー量は1T分のダイレーに対して不足しているため、ダイレー量検出部40に入力されるデータハルスTTP2の反転タイミングよりデータハルスDTPの立ち上がりの方が早い。したがって、データハルスTTP2をデータハルスDTPの立ち上がりでラッチしたデータハルスQAとデータハルスTTP2の排他的論理和とされるデータハルスUPは、データハルスDTPの立ち上がりからデータハルスTTP2の反転までの短い時間だけローレベルになり、ほとんどがハイレベルとなるパルスとされる。したがって、アップダウンカウンタ20(b)ではデータハルスTTP4の立ち上がりのタイミングで、アップダウン制御信号UDがハイレベルとなり、ダイレー段数DUPDはカウンタアップされて「0x21」となる。以降500nsまで、同様にしてダイレー段数DUPDはカウンタアップされて「0x22」となる。

【0021】さらに500nsから1400nsまでの期間において、ダイレー段数DUPDが「0x23」となると、ダイレー量が1T分よりも大きくなるのでダイレー量検出部40に入力されるデータハルスTTP2の反転タイミングはデータハルスDTPの立ち上がりよりも遅くなる。したがって、データハルスQAとデータハルスTTP2の排他的論理和とされるデータハルスUPは、データハルスDTPの反転タイミングからデータハルスDTPの立ち上がりまでの短い時間だけローレベルになり、ほとんどがハイレベルとなるパルスとされる。アップダウンカウンタ20ではデータハルスTTP4の立ち上がりでアップダウン制御信号UDがローレベルなので、ダイレー段数DUPDはカウンタダウンされて「0x22」とされる。

【0022】以降、データハルスTTP4の立ち上がりで、アップダウン制御信号UDはハイレベル、ローレベルを交互に繰り返すことになり、データハルスUPはダイレー段数DUPDが「0x23」「0x21」の値を交互に繰り返すことになる。一方で、ダイレー量検出部50において、ダイレー段数DUPDが「0x23」の場合を検出する「0x21」はデータハルスTTP2の反転タイミングよりデータハルスDTPの立ち上がりの方が早い。したがって、データハルスQAとデータハルスTTP2の排他的論理和とされるデータハルスUPは、データハルスDTPの立ち上がりからデータハルスTTP2の反転までの短い時間だけローレベルになり、ほとんどがハイレベルとなるパルスとされる。したがって、アップダウンカウンタ20(b)ではデータハルスTTP4の立ち上がりのタイミングで、アップダウン制御信号UDがハイレベルとなり、ダイレー段数DUPDはカウンタアップされて「0x22」となる。

P4の立ち上がり毎に2クロック前のダイレー一段数DR2と現在のダイレー一段数DR1を比較して一致していれば、1T分のダイレー量となる所望するダイレー一段数「0x1E」のダイレー一段数DR1とダイレー一段数DUPDと間にあることになるので、ダイレー一段数がロックしたとみなしダイレーロック信号LOCKをハイレベルにして出力する。そしてダイレー一段数DR1とダイレー一段数DUPDを比較して小さい方の「0x22」を1T分ダイレーさせるための基準ダイレー一段数DREFとして出力する。

【0023】図5に示されているように、1400nsで、クロックCLKがj=10からj=9になると、先述したようにハルズの繰返し周期が例えば10%短くなり、周波数が速い状態となると、ダイレー一段数「0x22」によるダイレー量は1T分のダイレーに対して大きすぎることになって、アップダウン制御信号UDはローレベルになり、アップダウンカウンタ20ではデータハルスTP4の立ち上がりでダイレー一段数DUPDはカウントダウンされて、ダイレー一段数DUPDが「0x1E」までカウントダウンされると、1T分のダイレー量よりも小さくなるので、それ以降は「0x1E」と「0x1F」を交互に繰返し、小さい方の「0x1E」を1T分ダイレーさせるための基準ダイレー一段数DREFとして出力する。

【0024】このように、入力するクロックCLKの周期が変化しても、その変化量に対応して所望するダイレー量を得ることができる基準ダイレー一段数を得ることができるようになる。

【0025】なお、図3に示したダイレーロック検出部50では、ダイレー一段数DR1とダイレー一段数DUPDの小さい方を基準ダイレー一段数DREFとして出力するように説明したが、大きい方を出力するようにしても良い。また、図1に示した可変遅延回路1の構成においてダイレー量検出部40を省略して、データハルスTP4の立ち上がり(8クロック)毎に検出されるダイレー一段数DUPDをそのまま出力するとしても良い。上記した場合と同じ様な効果を得ることができる。さらに、データハルスTP2、TP4をそれぞれ2Tハルス、4Tハルスとして説明しているが、TP4、TP2、TPという関係が成立していれば、データハルスTP2、TP4に任意の周期のデータハルスを適用することができる。

【0026】また、図1のデータハルスカウンタ20では、例えばバイナリカウンタを用いたカウンタでアップダウン動作を可能にするイタブルカウンタDILENを人力可能にして、必要に応じて基準ダイレー一段数DREFを遅延させるようにすることも可能である。

【0027】また、このような可変遅延回路1が必要とされる他の回路を、一緒にして容易に1チップ化が可能になる。

【0028】図6は本発明の変形例として図1に示した可変遅延回路1を人力可能に構成した可変遅延回路の構成例を説明するための図であるが、この場合、図1の「1T分のダイレー量検出部40」は、1T分のダイレー量に対して「0x1E」のDREF[3:0]と可変遅延回路1からの基準ダイレー一段数DREFの掛け算を行い、ダイレー設定段数を入力するダイレー一段数設定部60、このダイレー一段数設定部60で設定されたダイレー一段数によって入力したデータDINを遅延してデータDOUTとして出力するダイレーライン70によって構成されている。なお、ダイレーライン70は図1に示したダイレーライン30と同様の構成とされる。ここで、ダイレー一段数設定部60は例えば5ビットのDREF[3:0]と例えば6ビットのDREF[5:0]を掛け合わせて、9ビットのMPX[9:0]を計算するようにされ、以下のようにMPXの上位6ビットをDSDとして出力する。

$$\text{MPX}[9:0] = \text{DREF}[3:0] \cdot \text{DREF}[5:0]$$

$$\text{DSD}[5:0] = \text{MPX}[9:4]$$

したがって、例えばダイレー比率DRATE=3ⁿ・h1であった場合、クロック周期1/16のダイレー量になり、例えばダイレー比率DRATE=3ⁿ・h1であった場合、クロック周期の1/5、1/16のダイレー量になる。但し、これはダイレー比率DRATEのビット数やダイレー一段数設定部60における掛け算手段の演算精度を限定するものではない。

【0029】

【発明の効果】以上、説明したように本発明は、例えばプロセス、電源電圧、温度などによってダイレー量が変化するようにダイレー素子の組み合わせによって可変遅延回路を構成した場合でも、実際の使用条件において常に所望するダイレー量を得ることができるようにした。したがって、外部における他の回路構成やプロセスミスを必要とせずに、可変遅延回路を構成することが可能になる。本発明はCMOSなどの半導体で実現することができ、従来のシフトレジスタ回路を用いた可変遅延回路と比較しても極めて簡便で構成することが可能になる。

【発明の簡単な説明】

【図1】本発明の実施の形態の可変遅延回路1の構成を説明するブロック図である。

【図2】図1の可変遅延回路を構成するダイレー量検出部40の構成例を説明する図である。

【図3】図1の可変遅延回路を構成するダイレー量検出部40の構成例を説明する図である。

【図4】可変遅延回路における各信号のタイミング図である。

【図5】可変遅延回路における各信号のタイミング図である。

【図6】本発明の変形例の可変遅延回路1の構成を説明する

る図である

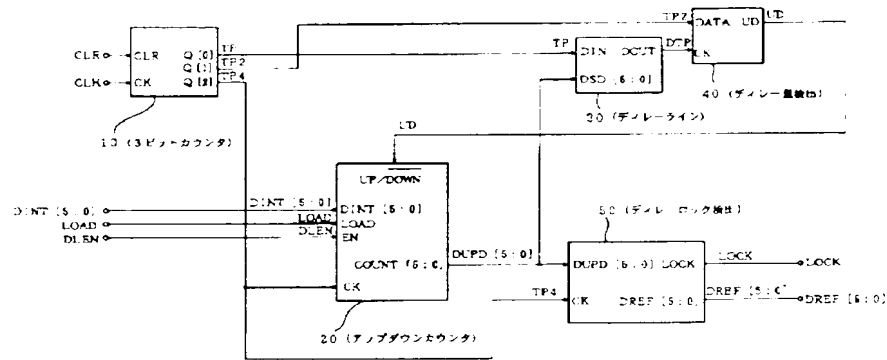
【図7】ゲイレーサイノ構成を説明する図である

【符号の説明】

1、60 可変遅延回路、10、30、70 デイレーサイ
ノ、20 アップダウンカウンタ、40、50 デイレーサイ
ノ、40 デイレー量検出部、50 デイレーロック検

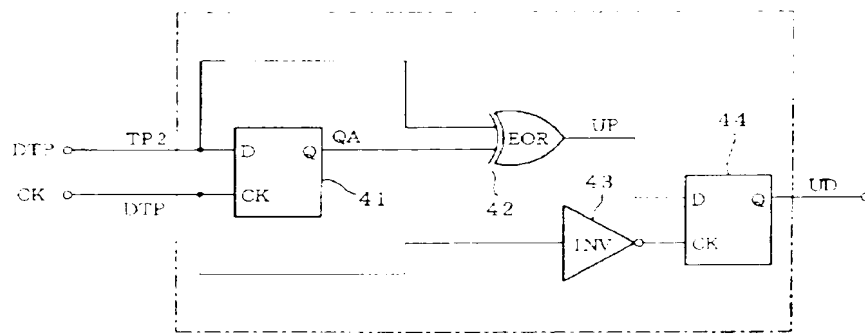
出部、41、44 D-FF、42 EORゲート、4
3 インバータ、52 シフトレジスタ、52a、52
b D-FF、53 比較器、54 ANDゲ
ート、56、58 D-FF、57 セレクタ、70 デ
イレー量検出部

【図1】



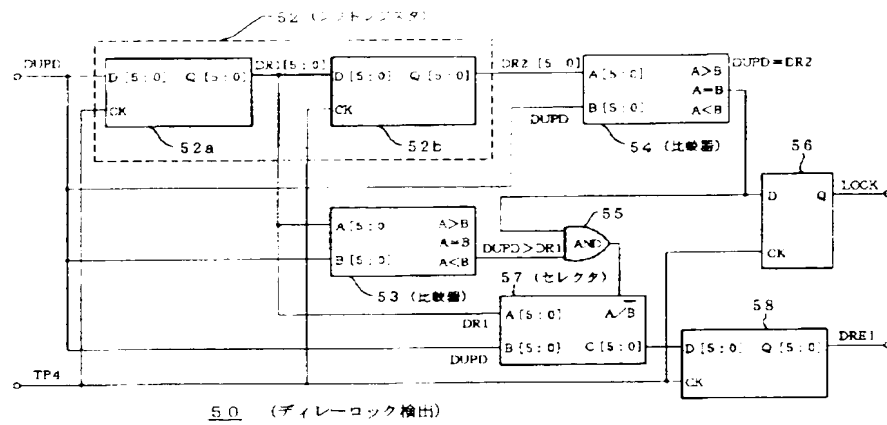
1 (可変遅延回路)

【図2】

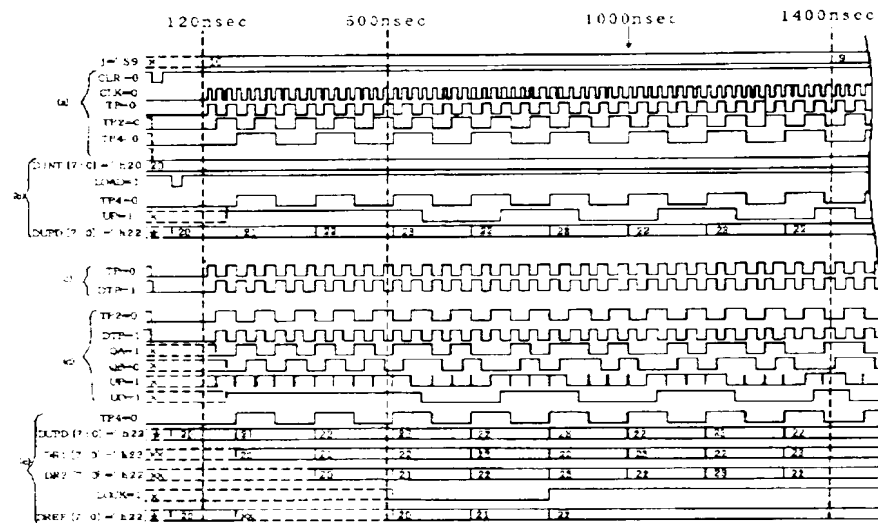


40 (デイレー量検出)

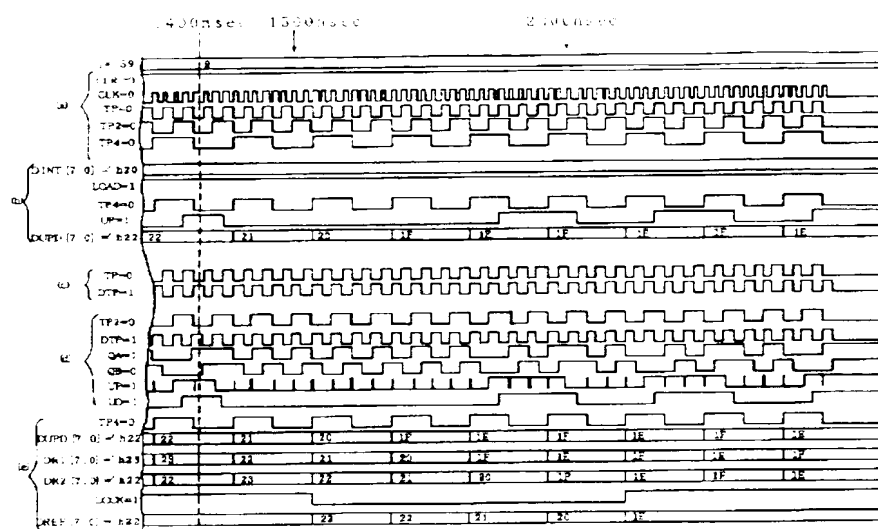
【図3】



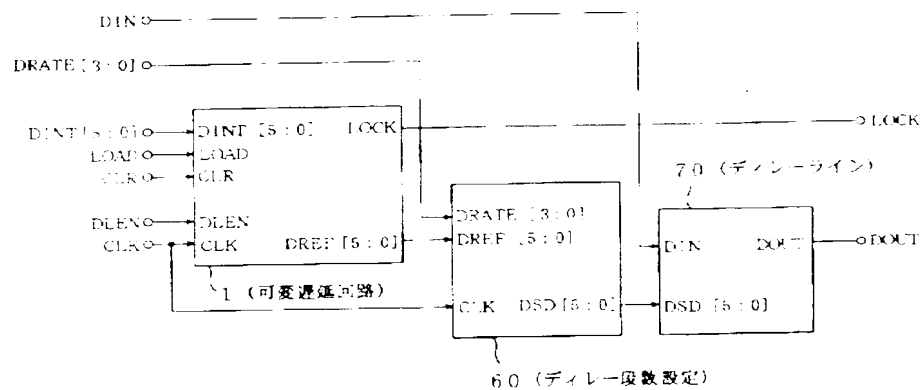
【図4】



【145】



【图 6】



【47】

